4S-11 ボリューム可視化用アクセラレータの検討

山崎恭啓，山崎勝弘
立命館大学理工学部

1 はじめに

ボリューム・グラフィクスは3次元空間を表現する最も自由度の高い表現形態である反面，情報量が多く，しかも2次元動画と同様に冗長性が高い．従って，計算結果を高速に可視化するためには効率の良い専用ハードウェアで処理する必要がある．

2 ボリューム処理アルゴリズム

レイ・キャスティングによってボリューム・グラフィクスを高速に可視化するには，ボリュームデータを回転し，レイ進行方向のデータ依存を解消しつつ並列動作が可能でなければならない．

(1) 並列性

ボリューム計算の並列化には図1に示すボクセル分割，ピクセル分割，ボリューム分割の3つの方法がある，これらはそれぞれ，1次元，2次元，3次元分割と考えることができる．次元数の変換をしない場合，プロセッサにはこの分割次元数と同じだけ並列にボリュームデータを送り込まなければならない．もしそれ以上の次元数を用意した場合は，何らかの処理を高速に行うために使うことが可能になる．

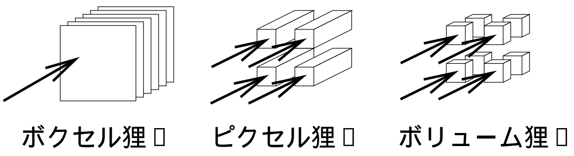

図 1: 分割法

(2) データ依存性

レイ・キャスティング法で半透明処理を行う場合，レイの進行方向に依存関係が生じる．そのため，この方向に並列化を行う場合，依存するプロセッサへ通信するか，ハードウェアを多重化することによって解決しなければならない．

(3) 任意方向からの可視化

本研究では，任意方向からの可視化を3主軸方向からの可視化と45度以下の任意の斜め方向からの可視化の両方を実現することによって行う．

前者はボリュームデータをネットワークで変形する方法，依存関係にあるデータを必要とするプロセッサへ通信する方法，およびハードウェアを多重化する方法がある．後者は主軸に対して横方向や縦方向にシフトできればよく，これも前者と同様の選択肢がある．

以上の要素のそれぞれの方式の組合せの数だけ実現方式が存在し，これらの中から遠近法や半透明処理，補間処理，クリッピングといった可視化に求められる処理を高速実行可能なハードウェアがボリューム向けのハードウェアとなる．

本研究では，ボクセル分割とピクセル分割の両方を用いて，計算途中結果を通信するという選択をした結果，3次元トーラス構造を持つハードウェアを提案する．

3 ハードウェア構成

図2にハードウェア構成を示す．この図は8台の場合の構成で，1辺のプロセッサ数が2^nの3次元トーラス結合で構成する．各プロセッサへのボリュームデータの配置は，図3に示す3次元インターリーブ分割で行う．プロセッサ1が濃く黒塗りされている点の画像を扱い，プロセッサ2が薄く黒塗りされている点の画像を扱う．この分割によるメリットは「近いボクセルは近い画像になる」ということを利用して，高い負荷均衡性を保つことができることである．つまり，本ハードウェアは画像の冗長性やクリッピングを積極的に利用して高速化を図る．

本ハードウェアは通信によって全てのデータ依存を解消するが，プロセッサ台数がそれほど多くないうちは同期してデータを通信する．図4は$+X$方向が主軸で，$X = 0$から$X = 1$へのデータは右シフトし，$X = 1$から$X = 2$へのデータは右シフトしない場合の通信である．この図で黒丸はそのルータに接続しているプロセッサを示す．この図ではX方向の通信の後にY方向の通信を行ってい

Design of a Volume Visualization Accelerator
Yasuhiro Yamazaki and Katsuhiro Yamazaki,
Faculty of Science and Engineering,Ritsumeikan University.

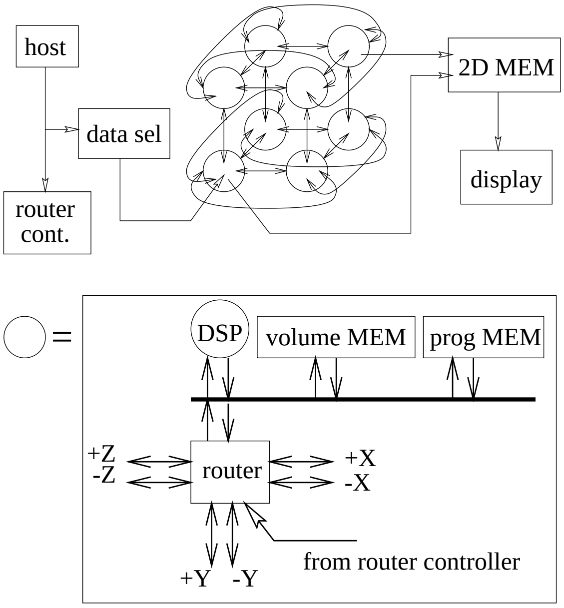

図 2: ハードウェア構成

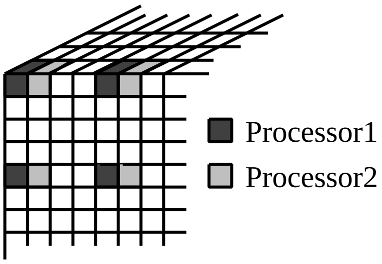

図 3: 3 次元インターリーブ分割

るが，$+Y$ 方向が主軸の場合もこの通信順序は変わらない．このように通信順序を $X \rightarrow Y \rightarrow Z$ と決めておくことで，リンクコンフリクトが生じないでデータを通信することが可能となる．

通信経路は 3DDDA によって決定されるが，3DDDA を集中的に行う場合，全てのレイの進行方向が異なる場合にボトルネックになる可能性がある．従って，本システムでは 3DDDA を分散して行う．ただし，経路決定するプロセッサと実際のデータがたどるルータとは異なるブロックに所属するので，専用の通信線を設けるか経路情報を付加して通信する．

ルータ内部は図 5 に示すリング構造で構成する．X,Y,Z 軸それぞれに対してセレクタおよびパス・スイッチを用意する．セレクタは通信方向 (+/-) を決定し，パス・スイッチは通信するか (Enable) 否か (Disable) の 2 状態で制御する場合は並行レイのみ処理可能となり，ブロードキャスト (Multiple send,Get) もサポートする場合は遠近法も可能になる (図 6)．また，X,Y,Z 軸方向の通信はそれぞれ独立に通信できるので，ネットワークの動作を速くするためにラッチ (バッファ) を入れてパイプライン動作させる．これによって，ネットワークのレイテンシは 1/3 近くまで減少させることが可能になる．

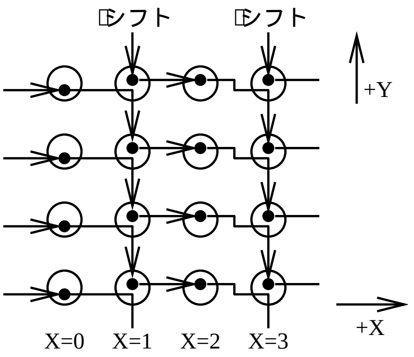

図 4: 通信経路

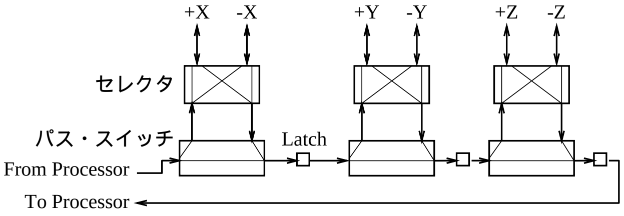

図 5: ルータ内部

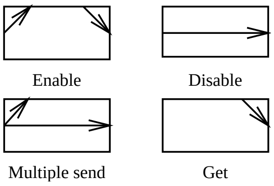

図 6: パス・スイッチの動作

4 まとめ

本ハードウェアにおいてはその構造上，近隣ピクセルへのアクセスが高速にできるように配置されているが，補間処理だけは通信によるレイテンシがその点の計算にかかる時間よりも長くなる可能性がある．

今後，補間処理に対する最も親和性の高い方法を検討し，詳細設計をスループットの点も考慮しつつ行っていく予定である．

参考文献

[1] 明石英也: ボリューム・レンダリング向き並列計算機のアーキテクチャ, 京都大学工学部修士論文,1992.

[2] D.Jackel and W.Strasser: Reconstucting Solids from Tomographic Scans –The PARCUM II System–, Advances in Computer Graphics Hardware II,pp.209-227,1988.