

山崎研究室紹介

2014年10月27日

山崎 勝弘

yamazaki@se.ritsumei.ac.jp

1. 研究室の目標
2. 育成したい人材
3. 指導方針
4. 研究分野： 並列処理とハード/ソフト・コデザイン
5. 研究テーマ
6. 貴君らに提供できること

1. 研究室の目標

- ハードウェアとソフトウェアの両方分かる人材の育成
- コミュニケーション能力、スケジューリング能力、および知的体力の養成
- 社会人としての基本的素養をつけ、努力を継続して、目標を達成できる人材の育成
- 並列処理とハード/ソフト・コデザインを融合した高性能な問題解決システムの構築

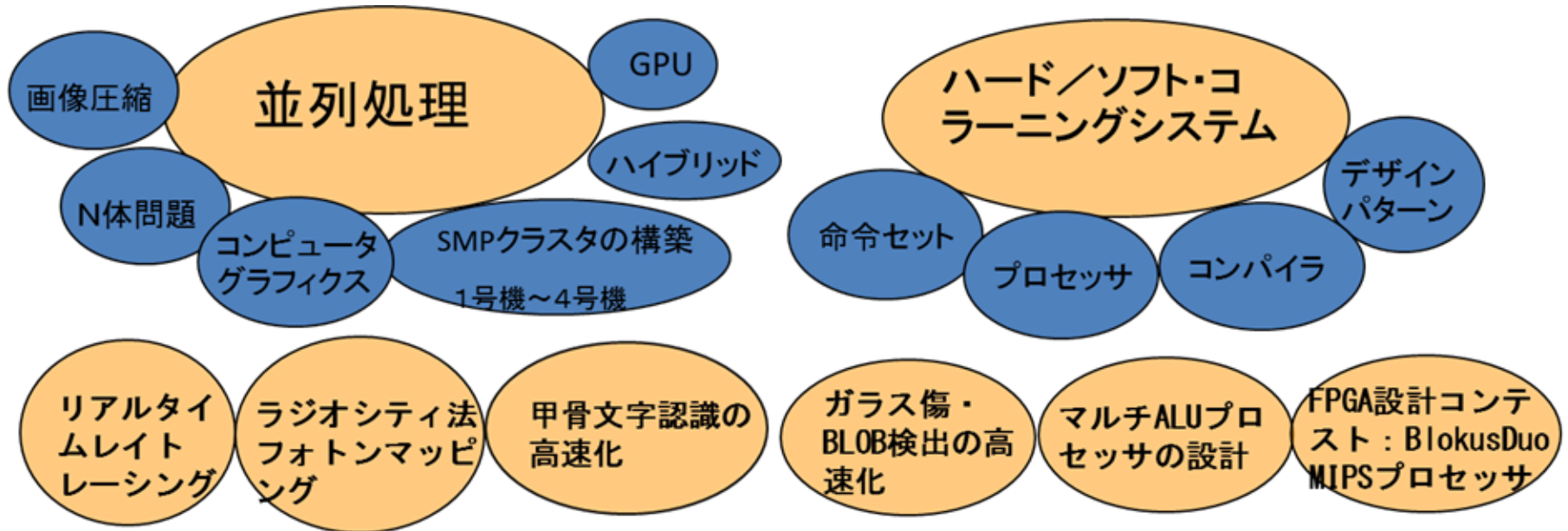
2. 育成したい人材像

- あいさつ
- コミュニケーション能力
 - 日本語で正しく表現、発表、議論
 - 英語能力
- スケジューリング能力
 - 立案、実行、チェック(Plan, do ,check)
- 知的体力
 - 最後まであきらめずにやり遂げること

3. 指導方針

- 前向きに楽しく: positive thinking
- 研究テーマの設定、研究環境の整備
- 社会人としての基本的素養をつけて欲しい。
- 社会人になるための実力をつけて欲しい。
- 英会話学習のきっかけをつかんで欲しい。
- 自分の夢を将来にわたって実現して欲しい。

4. 研究分野



GPUマシンとSMPクラスタを使いこなす。

FPGAボードを使いこなす。

並列処理とハード／ソフト・コデザインを融合
した高性能な問題解決システムの構築

研究経歴(1976～現在)

FPGA

ハードソフト

アーキテクチャ

並列アプリ

知識工学

プロセッサ4台の並列マシン
マイクロプログラム制御
ハードウェア、システムソフト
アプリケーション

QA-1
MUNAP

電力系統
知的CAI

1988 情報工学科

レイトレーシング
ラジオシティ

事例ベース
並列プログラミング

トランスペュータ
AP1000+

1994 情報学科

KSR1

同期マルチ
メディア

ハード/ソフト・カラー
ニングシステム

ルーティング

JPEG、MPEG
N体、グリッド

2004 電子情報デザイン学科

PCクラスタ
SMPクラスタ

ハッシュ関
数高速化

OpenMP
動作合成

リアルタイム
レイトレーシング

GPU

2012 電子情報工学科

ガラス傷と
BLOB検出

MAP設計

SMPクラスタ

BlokusDuo

FPGA

甲骨文字
認識

命令スケ
ジューリング

GPU

将棋手筋

モンテカルロ
囲碁

SMPクラスタ GPU

なぜハードとソフトか

- 人間： 強い肉体(体力) + 知恵(知力)
- コンピュータ： 高い性能(ハード) + 使いやすさ(ソフト)
- ハードのみ： 設計は難しい。組み立ては容易。
 - 差別化が難しい。低価格化にさらされる。
- ソフトのみ： 技術者が多い。
 - Cプログラミングだけなら理工系なら誰でもできる。
- ハードとソフト： できる人材が極めて少ない。ニーズは高い。
両方できれば、鬼に金棒
- Cプログラミング：アセンブリ言語やコンパイラのコード生成が分かれば、コンパクトで速いプログラムができる
- プロセッサ設計：命令の使われ方や使用頻度が分かれば、良い命令セットを設計できる。

ハード/ソフト・コデザインの目標

- プロセッサ設計
- 命令セットアーキテクチャ
- アセンブリ言語、C言語、コンパイラ
- ハードウェア設計言語(HDL)
- ハードウェアとソフトウェアの最適バランス
- FPGA: プログラム可能なLSI

目標

- マルチALUプロセッサを設計してFPGA上で動かす。
- 画像処理、ガラス傷検出、ゲームなどをFPGA上で動かす。
- FPGA上で動作させて、感激を味わう。

並列処理の目標

- マルチコアプロセッサ
- GPU(Graphics Processing Unit)
- 超並列マルチスレッド処理
- SMPクラスタ
- ハイブリッド並列処理
 - 共有メモリ＋分散メモリ、OpenMP＋MPI

目標

- 甲骨文字の画像認識、リアルタイム画像生成など、大規模問題をGPUやSMPクラスタ上で高速に解く。
- 実際に動作させて、高速化を実感し、感激を味わう。

並列処理から 超並列処理 の時代へ

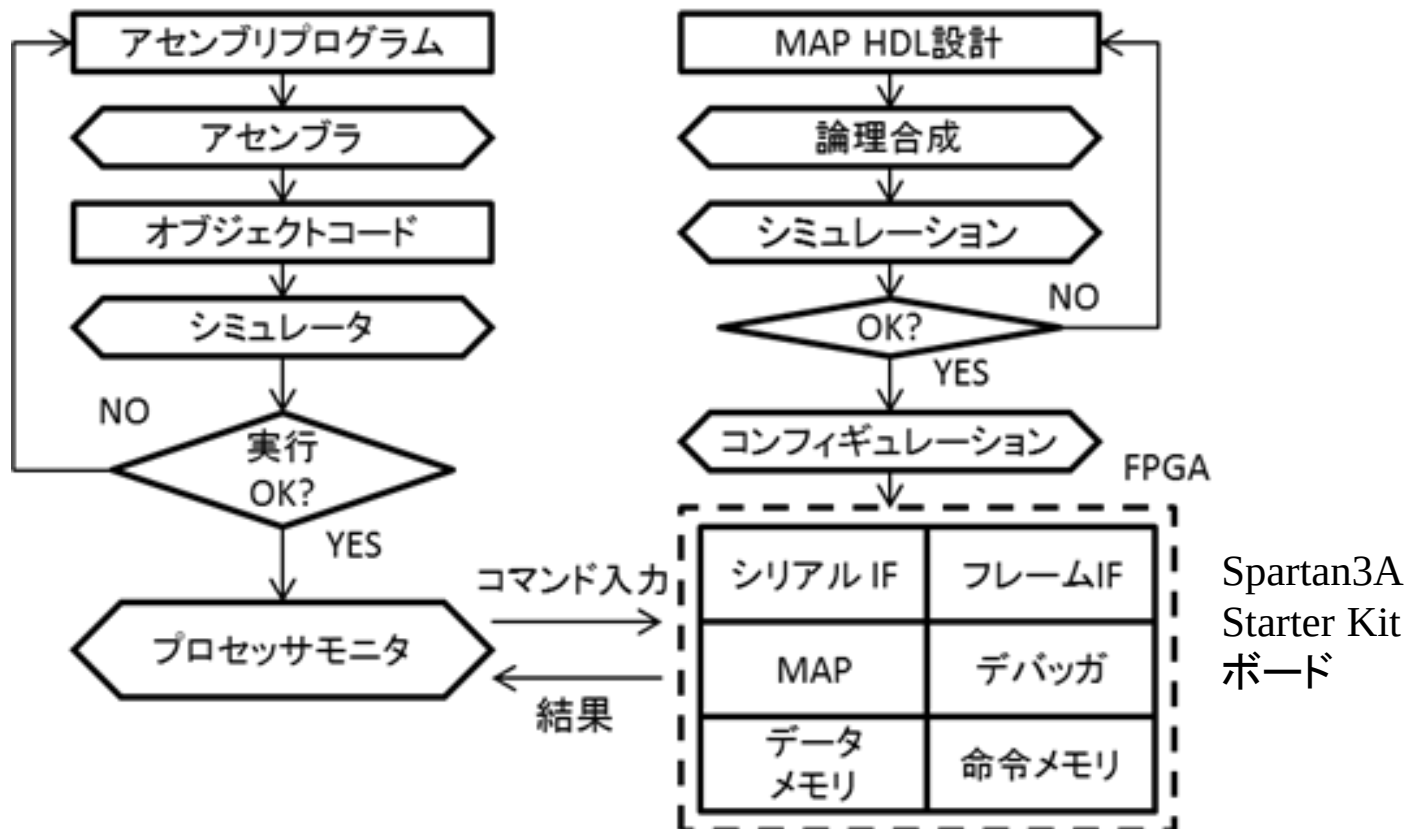
	プロセッサ 台	価格 万円	購入 年	
• MUNAP	4	2000	1982	研究用 自作
• KSR-1	64	Kendahl Square Research 1億円以上		1992
• AP-1000+	64		富士通	1億円以上 1996
• マルチトランスピュータ システム	64	800	1992	神戸製鋼から購入
• X	16	320	2000	PCクラスタ
• Raptor	16	200	2003	SMPクラスタ
• Diplo	16	184	2006	SMPクラスタ
• Nycto	16	174	2009	SMPクラスタ
• Tulio	2500	68	2013	GPUマシン

5. 研究テーマ

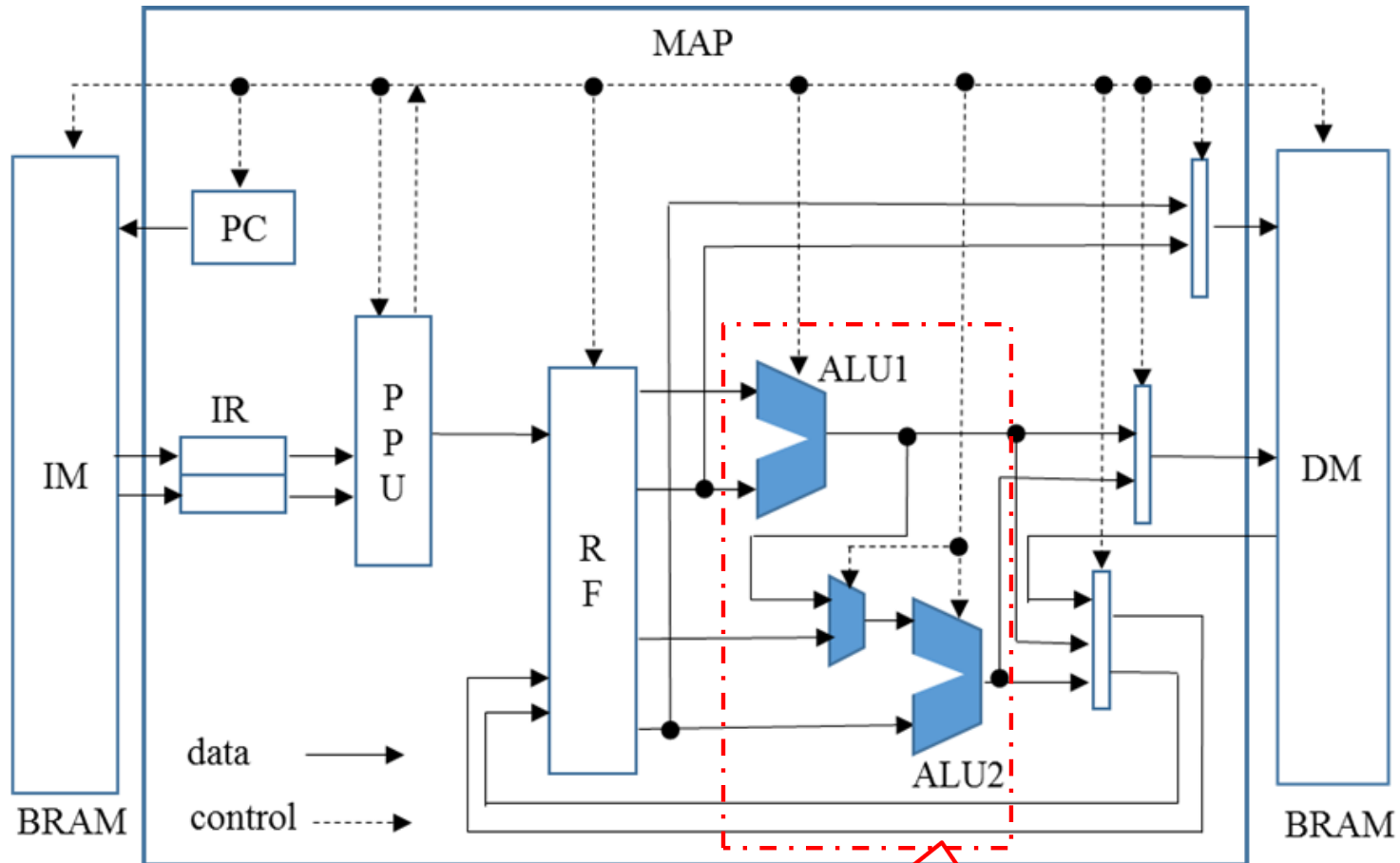
- 5. 1 マルチALUプロセッサの設計とFPGAボード上での検証
- 5. 2 画像処理とテンプレートマッチングを用いた甲骨文字の認識
- 5. 3 GPUとFPGAを用いた甲骨文字認識の高速化
- 5. 4 FPGAを用いたBLOB検出の高速化
- 5. 5 FPGA設計コンテストへの挑戦: Blokus DuoとMIPSプロセッサの設計

5. 1 マルチALUプロセッサMAPの設計

- 複数ALUによる並列処理 ALU数: 2, 4, 8, 16
- 演算レベル並列処理: ALUで並列演算と連鎖演算



2ALUのMAPのデータパス



Numbers of ALUs : 2, 4, 8, 16

MAPの命令セットアーキテクチャ

1命令32ビット 4命令形式 MIPSサブセット

命令語長		32						命令種類
		6	5	5	5	5	6	
命令形式	R形式	Op	Rs	Rt	Rd	Shamt	Fn	ADD,SUB,AND,OR,XOR,NOT,NOP,SLT SGT,SLE,SGE,SEQ,SNE,SLL,SRL,SRA,JR
	I形式	Op	Rs	Rd	imm			ADDI,SUBI,ANDI,ORI,XORI,SLTI,SGTI, SLEI,SGEI,SEQI,SNEI,LDHI,LDLI
	L形式	Op	Rs	Rd	address/immediate			BEQZ,BNEZ,LD,ST,JAL
	J形式	Op	address					JUMP,HALT

2ALUによる並列処理

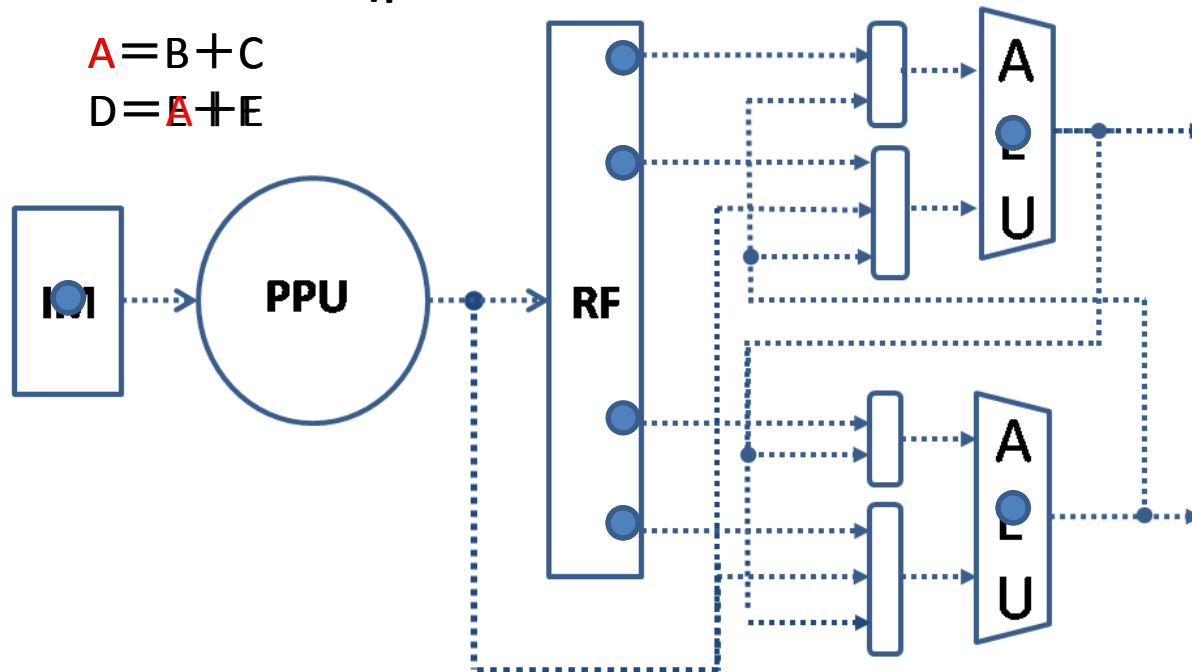
ハードウェアによる並列性の検出

PPUで並列演算、連鎖演算、単一演算を判定

連鎖演算 Parallel Operations: PPO

$$A = B + C$$

$$D = A + E$$

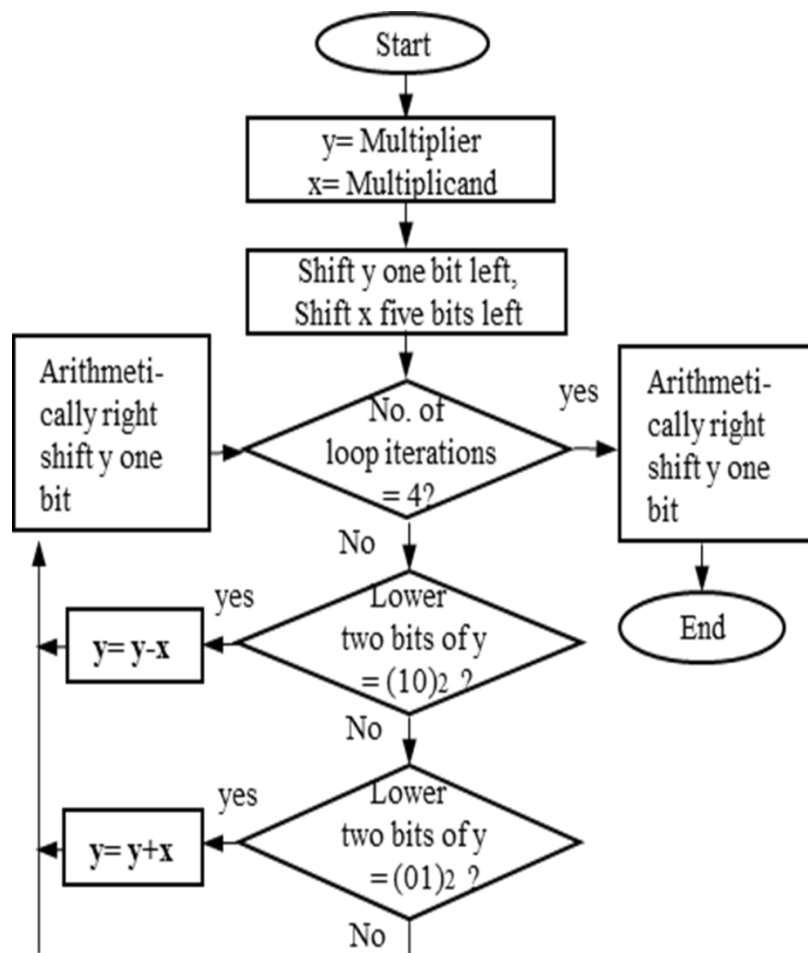


FPGAボード上への実装

- Spartan-3A Starter Kitと、論理合成ツールISE13.2を使用
- プロセッサデバッガを設計・開発し、実動作を確認

コマンド	ターゲット	意味
send	dm/im/rf	メモリ、レジスタの書き込み
read	dm/im/rf/pc	メモリ、レジスタの読み出し
save	dm/im/rf/pc/bp	メモリ、レジスタの内容を保存
load	dm/im/rf/bp	ファイルからロード
set	pc/bp	PC、ブレイクポイントの設定
del	bp	ブレイクポイントの削除
list/init	dm/im/rf/pc/bp	メモリ、レジスタの表示/初期化
run		通常実行
run clk N		Nクロック実行
run bp		ブレイク実行

ブース乗算 並列演算と連鎖演算



	LD	\$1	0[\$0]		①	PO
	LD	\$2	4[\$0]		②	PO
	ANDI	\$2	\$2	15		
	SLL	\$1	\$1	5	③	PO
	SLL	\$2	\$2	1		
LOOP:	ADDI	\$15	\$15	1	④	CO
	SEQI	\$16	\$15	5	⑤	CO
	BNEZ	\$16	LAST		⑥	SO
	ANDI	\$3	\$2	3	⑦	CO
	SEQI	\$4	\$3	2	⑧	CO
	BNEZ	\$4	SKIP1		⑨	SO
	SEQI	\$5	\$3	1	⑩	CO
	BNEZ	\$5	SKIP2		⑪	CO
	SRA	\$2	\$2	1	⑫	CO
	JUMP	LOOP			⑬	CO
SKIP1:	SUB	\$2	\$2	\$1	⑭	CO
	SRA	\$2	\$2	1	⑮	CO
	JUMP	LOOP			⑯	CO
SKIP2:	ADD	\$2	\$2	\$1	⑰	CO
	SRA	\$2	\$2	1	⑱	CO
	JUMP	LOOP			⑲	CO
LAST:	SRA	\$2	\$2	1	⑳	CO
	ST	\$2	12[\$0]			
	HALT					

CO: Chaining Operations
PO: Parallel Operations
SO: Single Operation

ブース乗算の並列性の評価

		Instrs	2ALU with Chaining				4ALU with Chaining					Non-Chaining		
			PO	CO	SO	Cyc.	PO2	CO2	CO3	SO	Cyc.	PO	SO	Cyc.
1st Order	Number	24	4	15	12	31	5	8	9	1	18	7	36	43
	Ratio(%)	-	13	48	39	-	28	44	50	6	-	16	84	-
2nd Order	Number	20	3	14	7	24	3	11	5	1	16	5	31	36
	Ratio(%)	-	13	58	29	-	19	69	31	6	-	14	86	-
3rd order	Number	39	4	30	6	40	2	25	5	2	33	5	64	69
	Ratio(%)	-	10	75	15	-	6	76	15	6	-	7	93	-

2ALU: 連鎖演算が48%～75%

4ALU: 2連鎖演算と3連鎖演算 有効

連鎖演算なし: 単一演算が84%以上

現状と今後の研究内容

- 2ALUのMAPをHDLで設計して、MAP本体のSpartan3A上での実動作を確認
- MAPアセンブラ、シミュレータを作成、MAPプログラミング
- Booth乗算(1次、2次、3次)のFPGAボード上での実行
- 並列演算と連鎖演算の有効性を評価し、HEART2014で発表

現在の研究内容

- パイプライン処理による高速化
- ALU数:4のMAPを設計し、FPGA上で実動作させ、並列処理の有効性を評価する

5. 2 画像処理とテンプレートマッチング を用いた甲骨文字の認識

• 研究背景

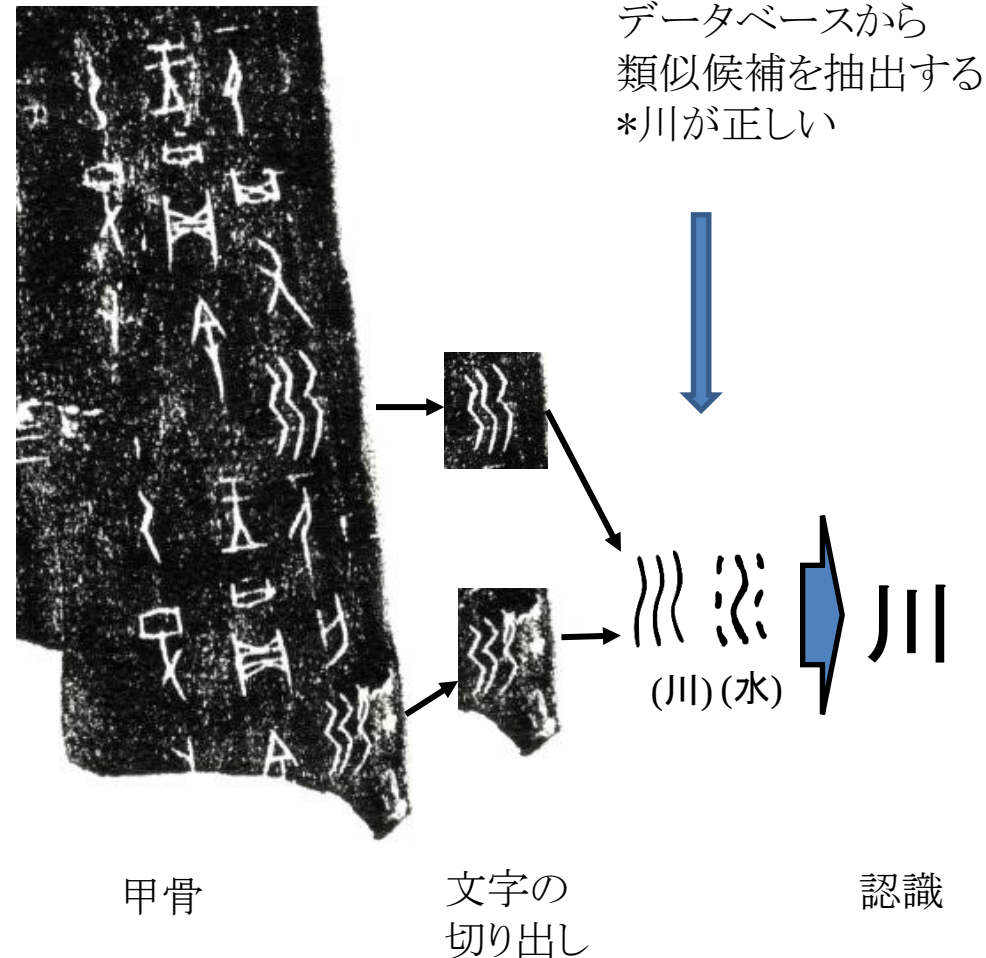
- 3000年以上前の甲骨文字が劣化などの問題で、認識しにくい
- 甲骨文字の解読が文字の起源、変化と未解読資料の解読に重要である

• 研究手法

- 画像処理を行って文字を取り出し、テンプレートマッチングを用いて、認識する

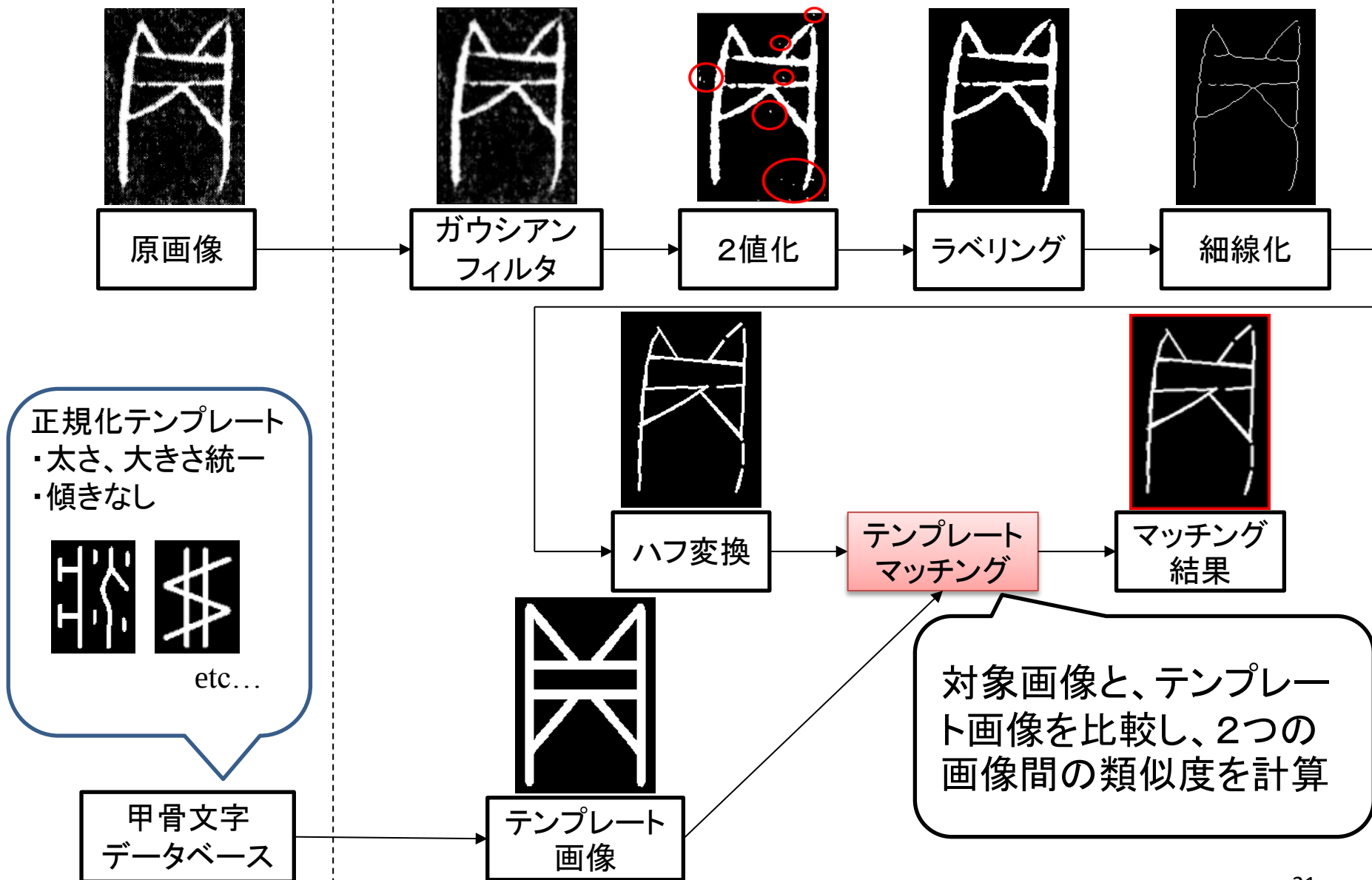
• 意義

- 古代文字資料の解読
- 中国の古代史学、古典文学の研究



研究のイメージ図

認識処理の全体像



ガウシアンフィルタと2値化

- ガウシアンフィルタ

- ガウス関数を用いて、画像の平滑化を行う

$$\text{Gaussian_Filter}(x,y) = \begin{bmatrix} \frac{1}{16} & \frac{2}{16} & \frac{1}{16} \\ \frac{2}{16} & \frac{4}{16} & \frac{2}{16} \\ \frac{1}{16} & \frac{2}{16} & \frac{1}{16} \end{bmatrix}$$



- 2値化

- 画像を白黒にする

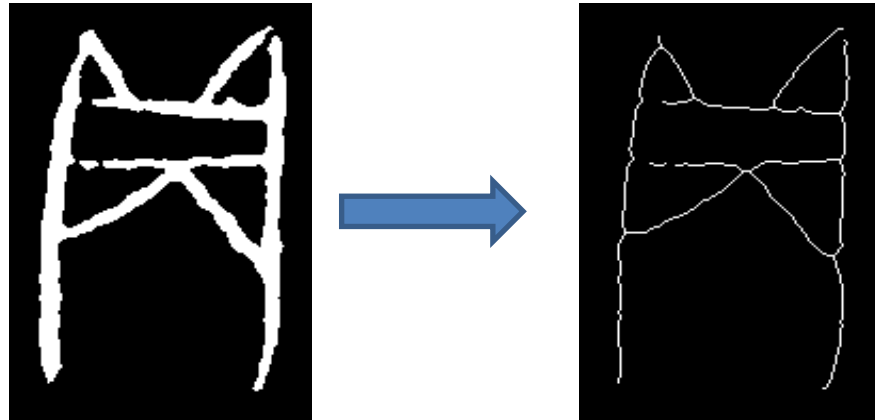
$$\text{Binarization}(x,y) = \begin{cases} 255 & (\text{Pixel}(x,y) > \text{Threshold}) \\ 0 & (\text{Pixel}(x,y) < \text{Threshold}) \end{cases}$$



細線化とハフ変換

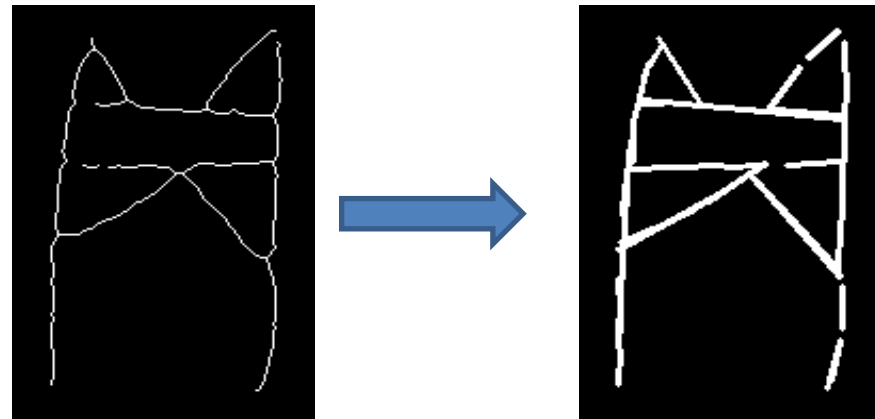
- 細線化

- パターンに基づいて、2値化画像を線幅が1画素の画像に変換
(田村法)



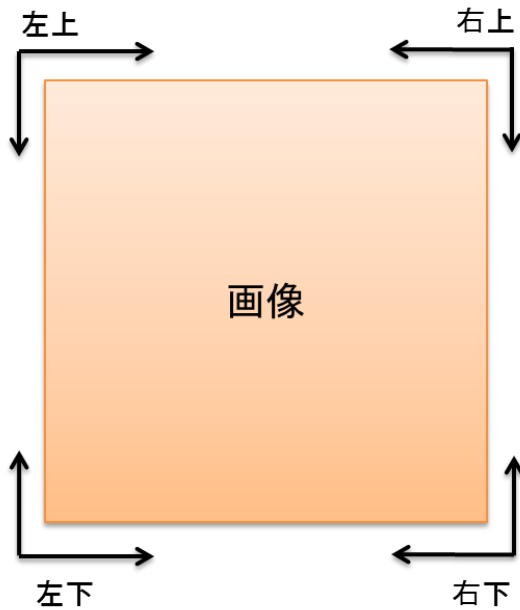
- ハフ変換

- 直線を表す代数方程式を用いて、x-y空間座標から ρ - θ 極座標に変換し、直線を抽出する。

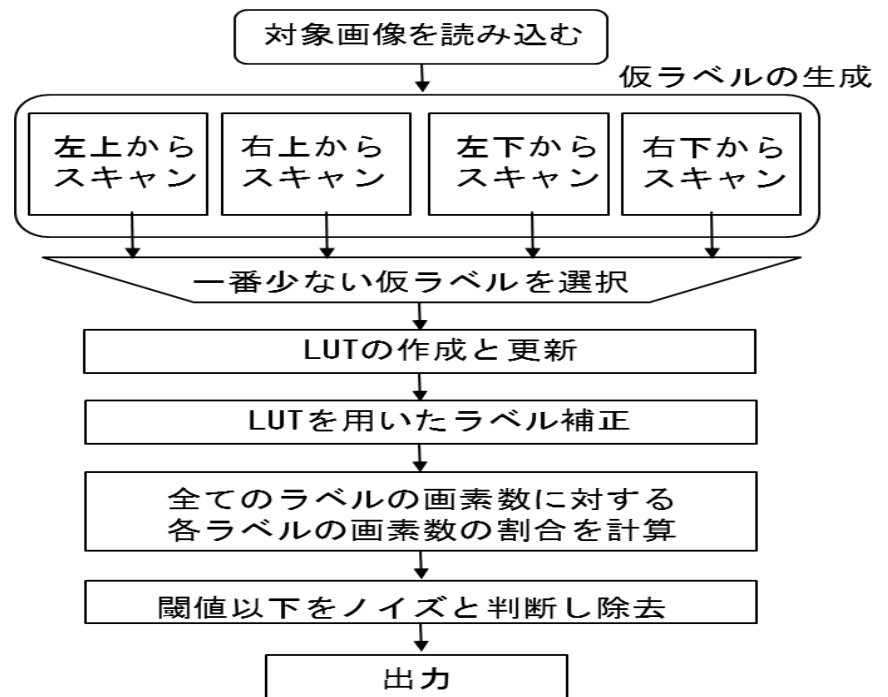


4方向ラベリング

- LUT(ルックアップテーブル)を用いたラベリングの問題
 - 仮ラベル数が多い場合、LUTの更新とラベル補正にかかる時間が長い
- 提案手法
 - 画像の4隅からスキャンを行い、仮ラベルが最少の方向を選択し、ラベル補正を行う



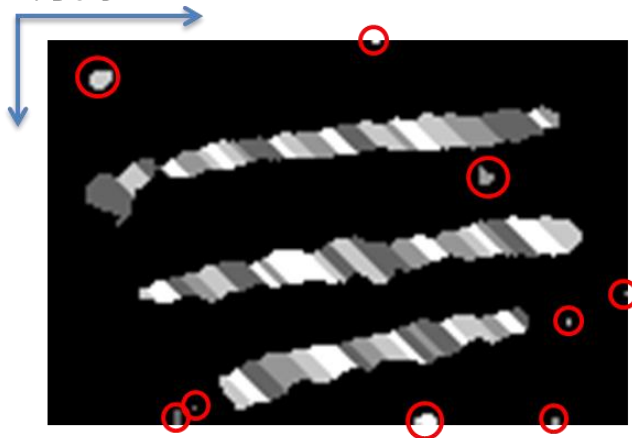
(a) 4方向スキャン



(b) 処理フロー

ラベリングの実験結果

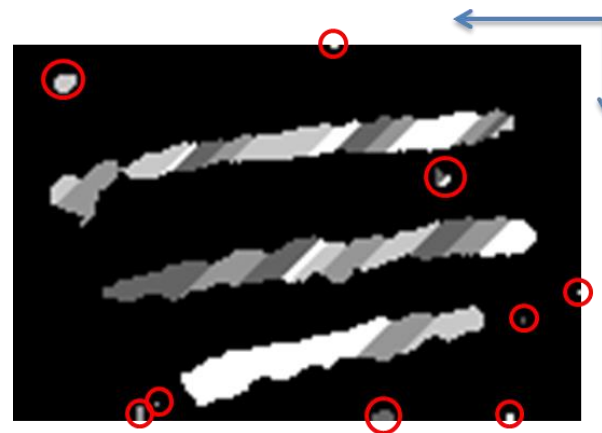
スキャン方向



仮ラベル数	75
-------	----

1方向ラベリングでの仮ラベル生成

スキャン方向



仮ラベル数	37
-------	----

4方向ラベリングでの最少の仮ラベル生成

	1方向	4方向
除去したラベル数	9	
補正後ラベル数	3	
処理時間(ms)	1.110	0.613

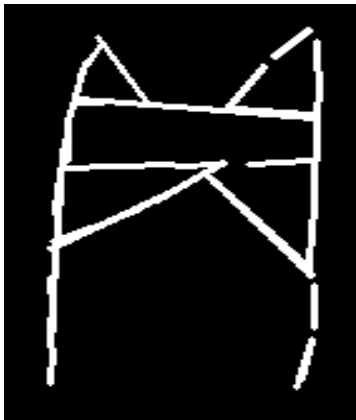


ノイズ除去と処理時間比較

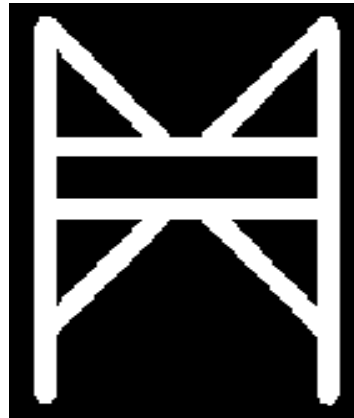
テンプレートマッチング

- 予め用意した既知の甲骨文字のテンプレートと、検出対象の画像を比較し、2つの画像の類似度を計算する
 - 正規化相関関数を使用し、2つの画像をベクトル表現し、ベクトル間の内角でマッチングするかどうかを判断する
 - 閾値($\cos\theta$)は0.7に設定する

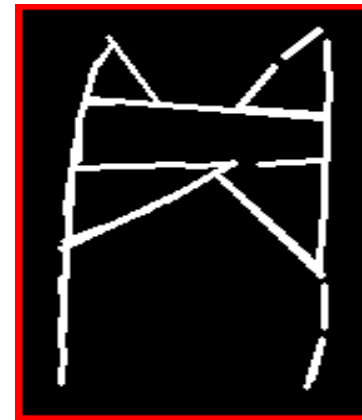
$$R = \cos\theta = \frac{\sum_{j=0}^{N-1} \sum_{i=0}^{M-1} I(i,j)T(i,j)}{\sqrt{\sum_{j=0}^{N-1} \sum_{i=0}^{M-1} I(i,j)^2 * \sum_{j=0}^{N-1} \sum_{i=0}^{M-1} T(i,j)^2}}$$



ハフ変換後画像



テンプレート画像

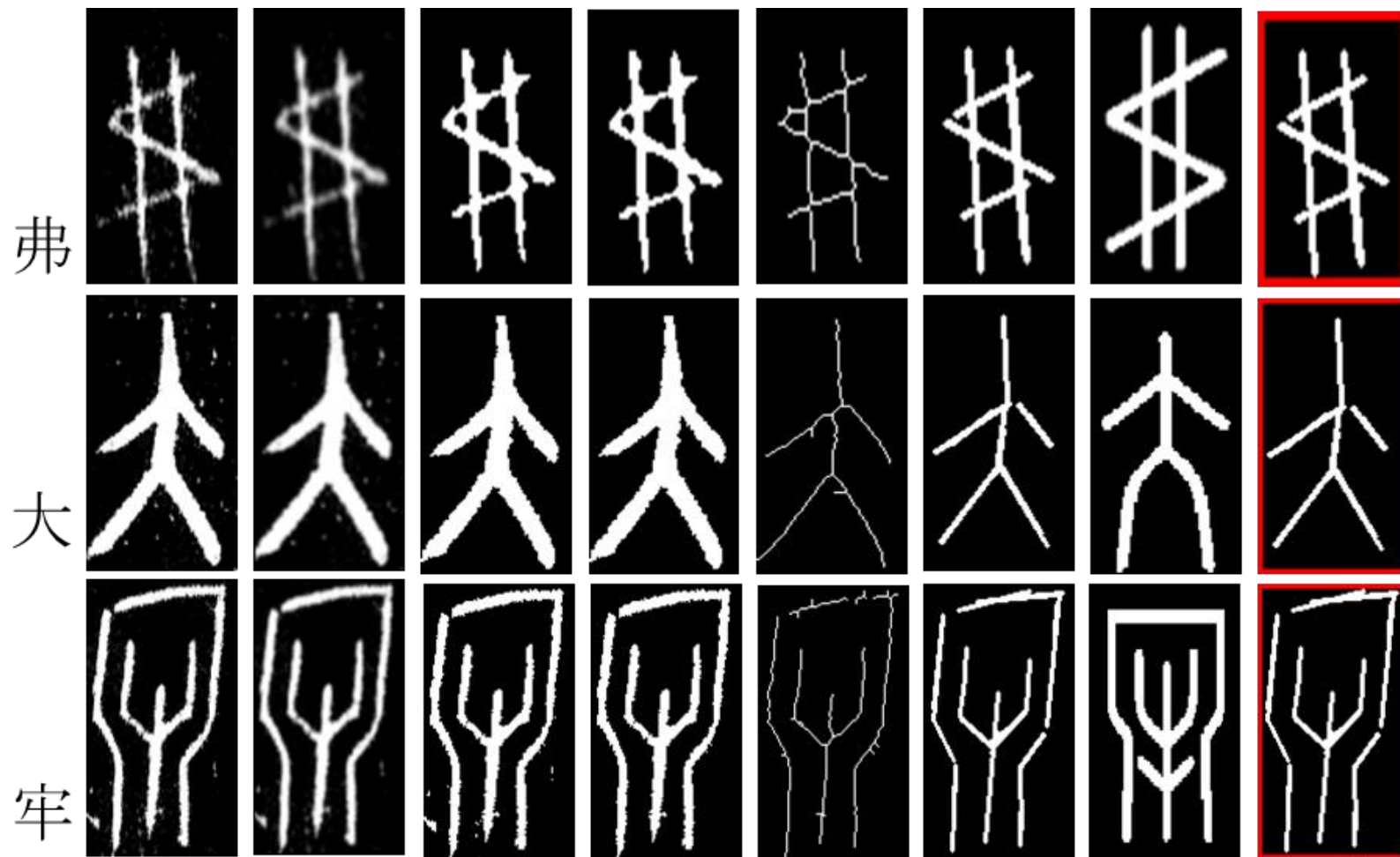


マッチング結果

実験環境

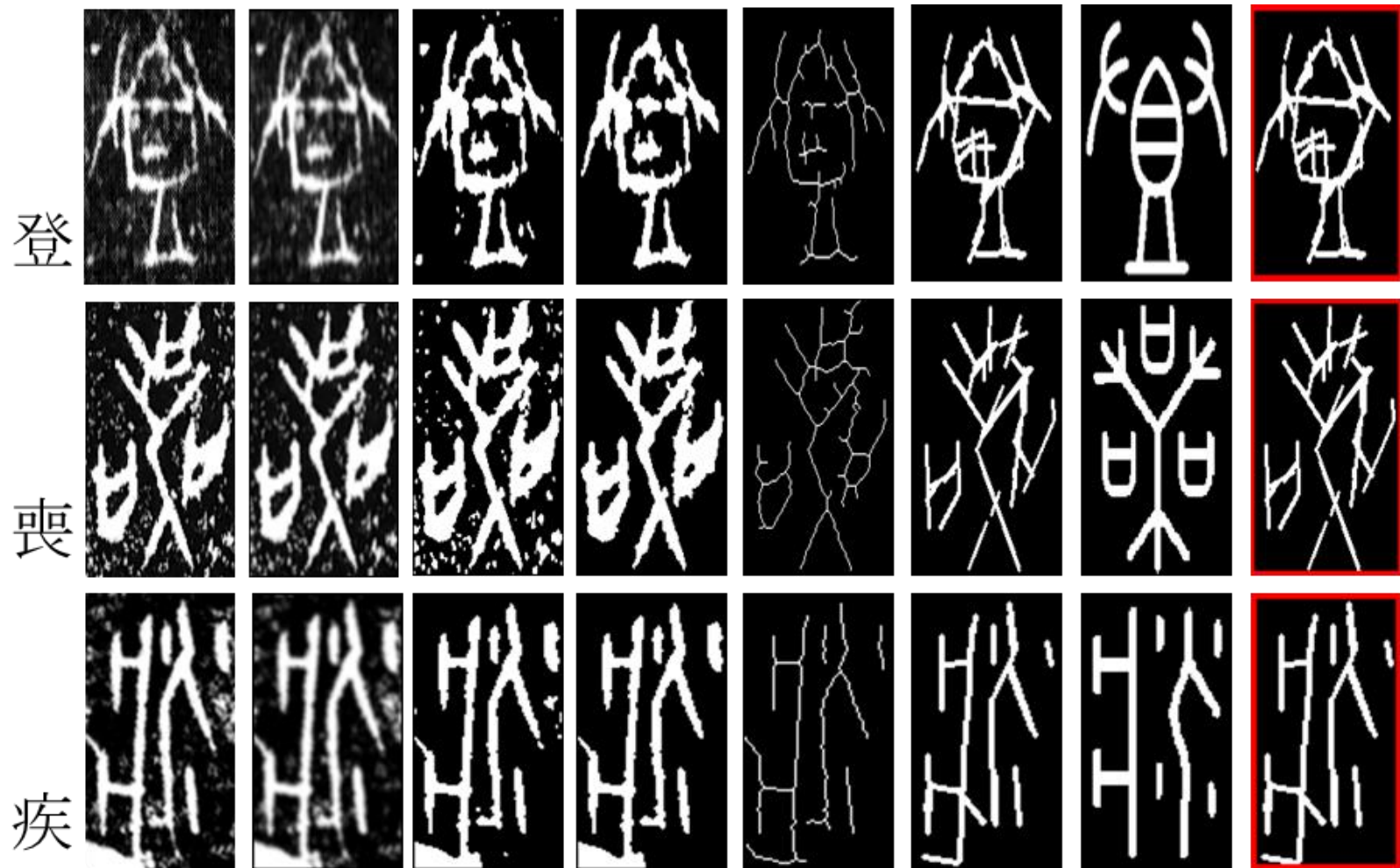
- Intel(R) Core(TM)i7-3820Processor 3.60GHz
 - 実装メモリ : 8.00GB
- Ubuntu13.10
- プログラミング言語
 - C(GCC4.8) : ガウシアンフィルタ、2値化、ラベリング
 - OpenCV 2.4.9 : ハフ変換、細線化、テンプレートマッチング
- 実験対象文字 : 91文字

簡易な文字の認識結果



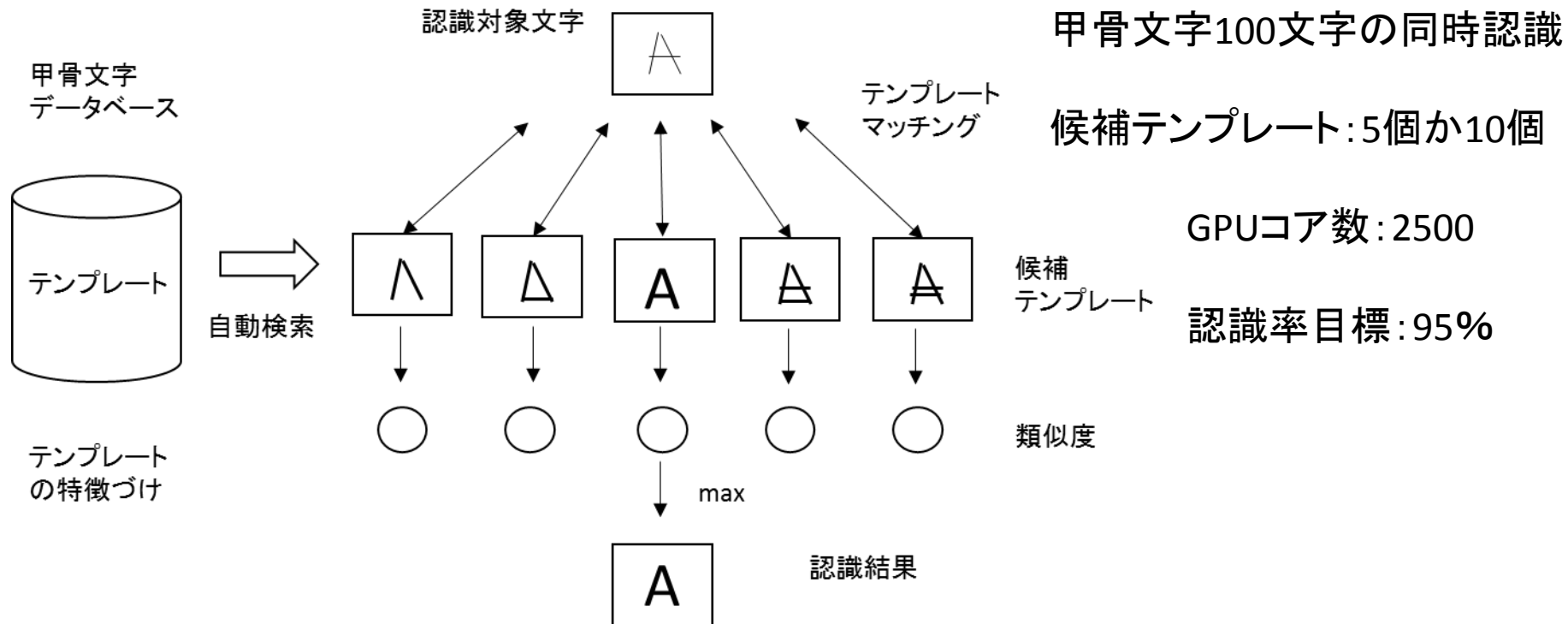
(a)原画像 (b)ガウシアン (c)2値化 (d)ラベリング (e)細線化 (f)ハフ変換 (g)テンプレート (h)マッチング
フィルタ 画像 結果

複雑な文字の認識結果



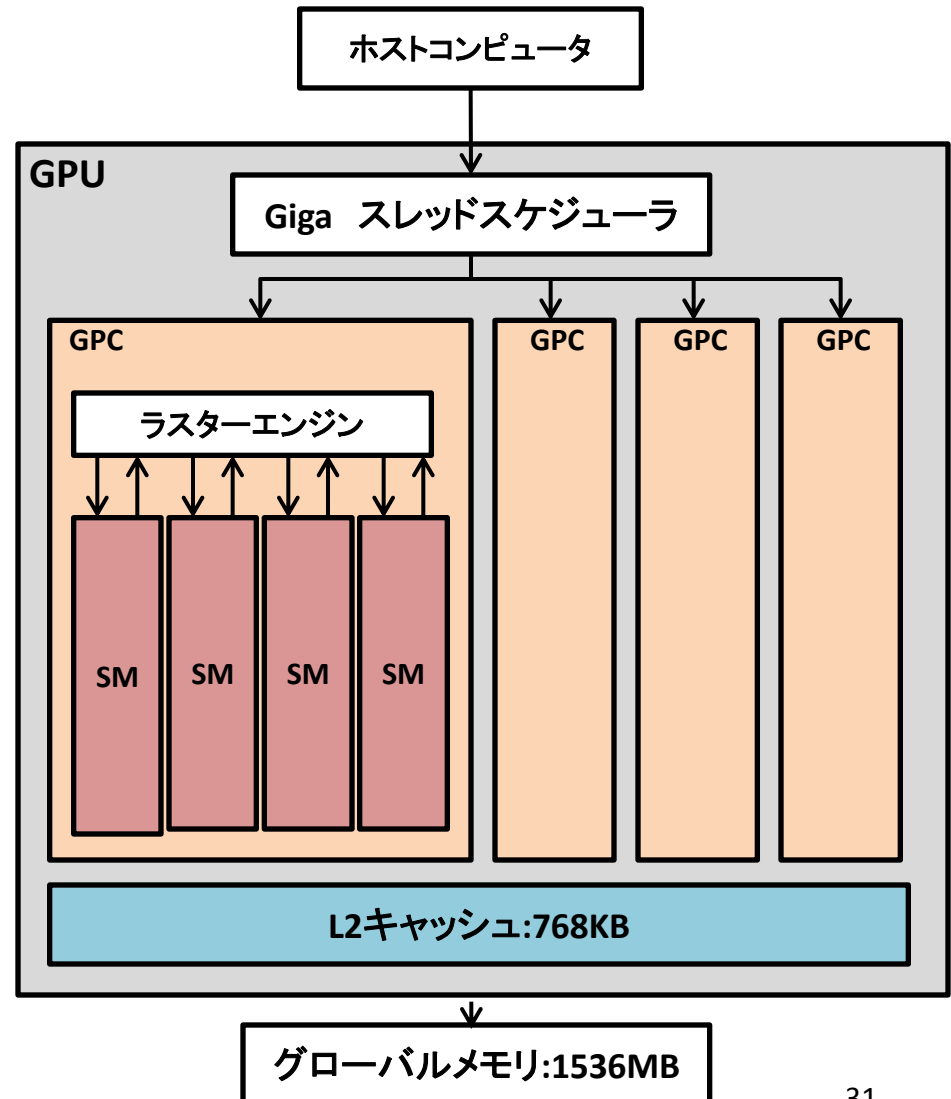
(a)原画像 (b)ガウシアン (c)2値化 (d)ラベリング (e)細線化 (f)ハフ変換 (g)テンプレート (h)マッチング
フィルタ 画像 結果

5.3 GPUとFPGAを用いた 甲骨文字認識の高速化



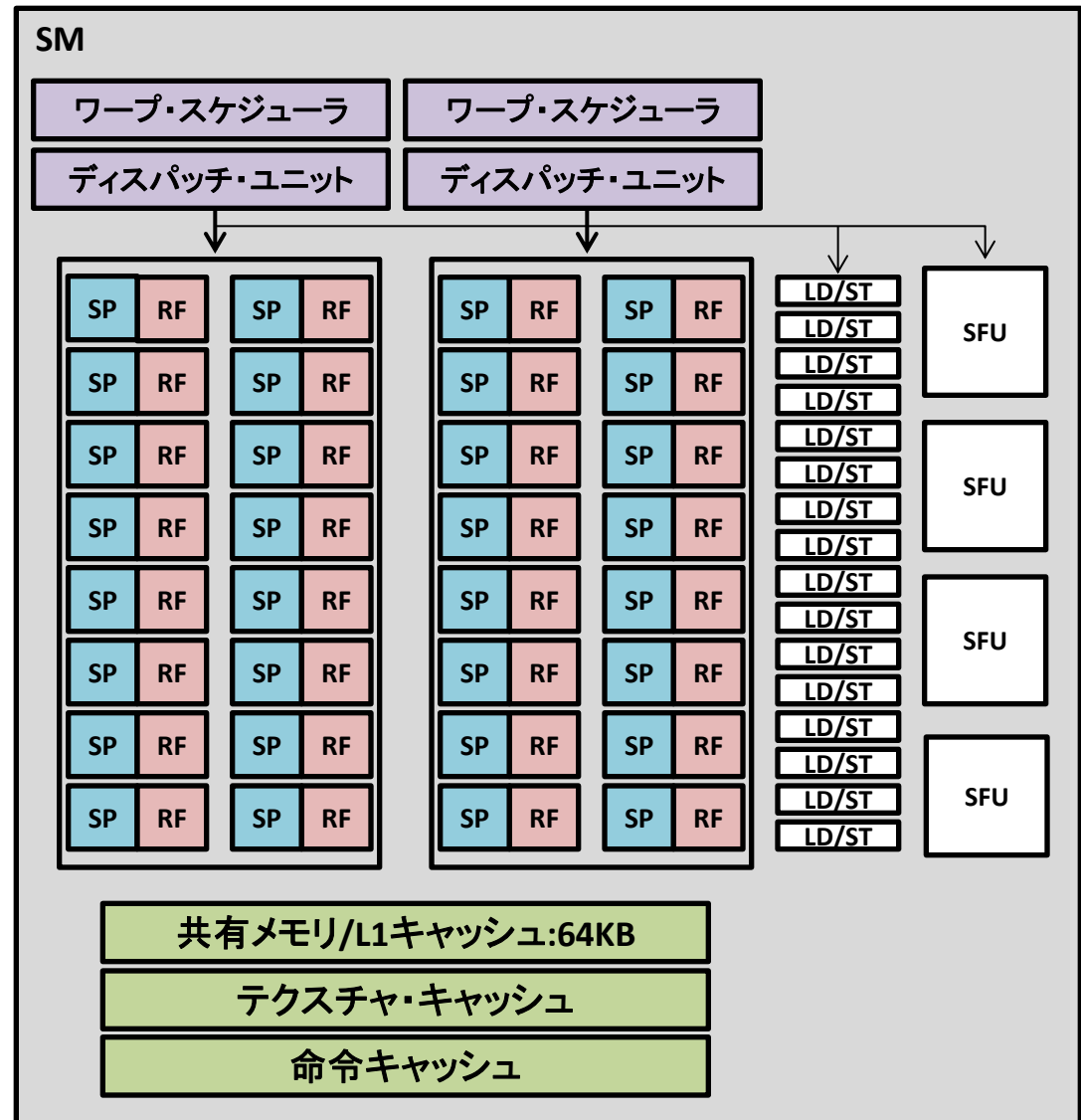
Geforce GTX 480

- NVIDIA社から2010年発表
- Graphics Processing Cluster(GPC)を4個搭載
- 各GPCはストリーミング・マルチプロセッサ(SM)を4個搭載
- GPU内にSMが16個
- SMが並列処理の単位



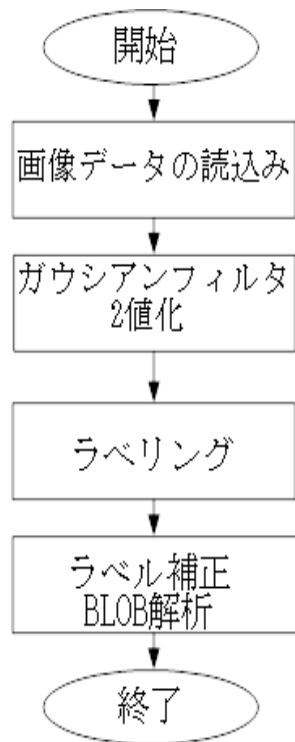
ストリーミング・マルチプロセッサ(SM)

- スカラー・プロセッサ (SP) が32個
- 共有メモリ: 64KB
- レジスタファイル: 128KB
- 32個のスレッド(ワー
プ)による並列処理
- Single Instruction
Multiple Thread
(SIMT) 型プロセッサ



5. 4 FPGAを用いたBLOB検出の高速化

- BLOB: Binary Large Object
- FPGA上でパイプライン処理を2つ動作させ高速化
- 物体の面積、重心、周囲長、円形度などを算出



検出の流れ



BLOB画像

	Dual-pipelining	Single-pipelining	先行研究
Clock Freq. (MHz)	99.18		100
Time/Pixel (ns)	10.08		--
Time/Frame (ms)	0.06	0.11	0.22
Speed up (times)	3.92	1.98	1

実験結果

BLOB解析を用いたITSの研究

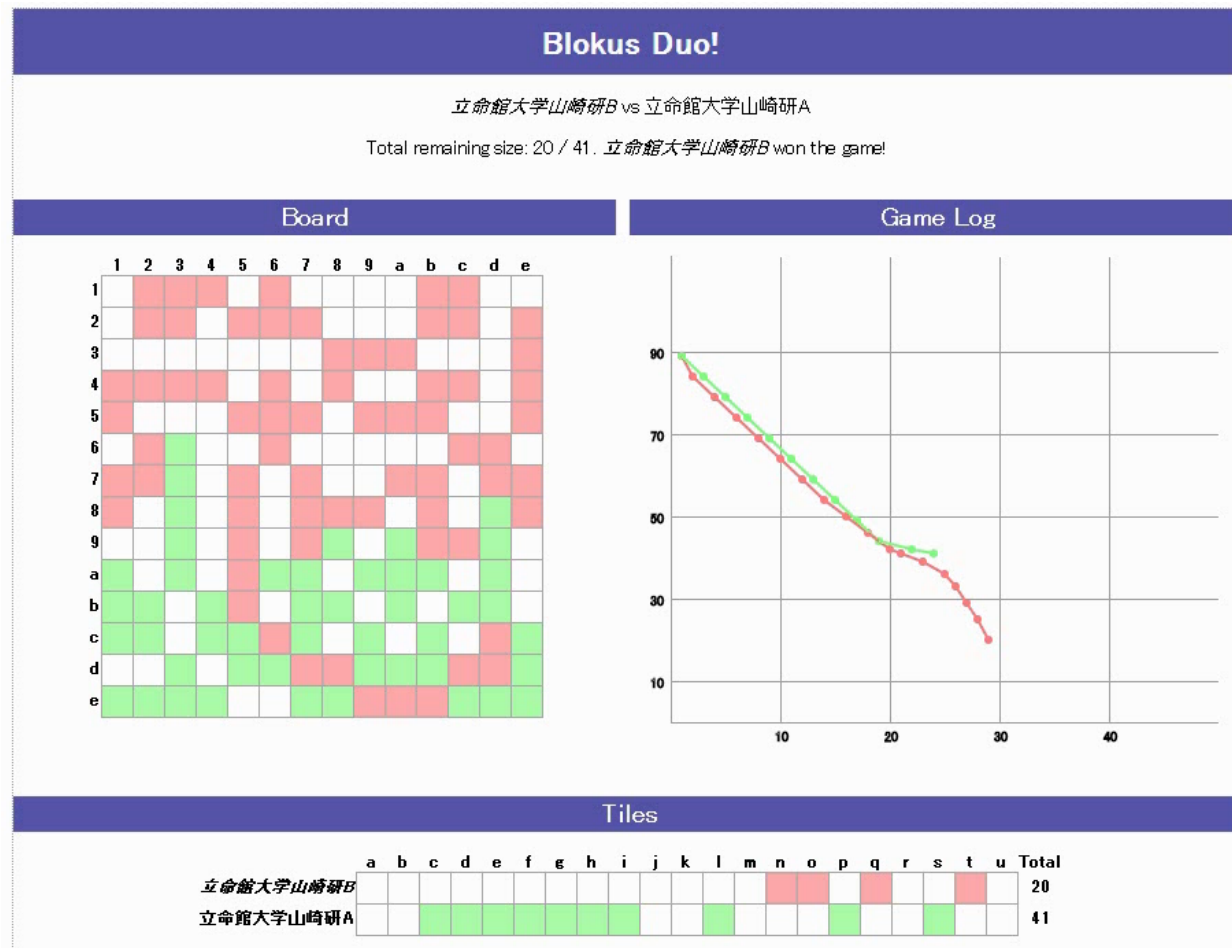
ITS: Intelligent Transport Systems(高度道路交通システム)
安全運転の支援、歩行者の支援など

今後の目標・課題

➡ BLOB解析を用いて、画像処理で車両、標識、白線の認識に挑戦



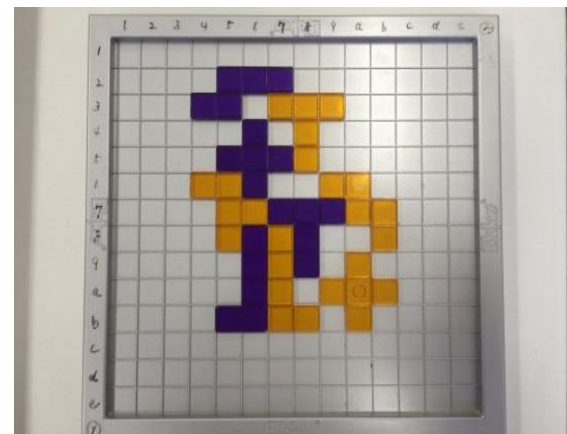
5. 5 FPGA設計コンテスト: BlokusDuoとMIPSプロセッサの設計



第3回 相磯秀夫杯 FPGAデザインコンテスト

2013年9月18日 北陸先端科学技術大学院大学
電子情報通信学会 リコンフィギャラブル研究会

21チーム参加
予選4グループ Bグループ 1位
決勝リーグ 3位入賞



BlokusDuoボード



FPGAデザインコンテスト 表彰式



2台のFPGAでの対戦

6. 貴君らに提供できること

- **問題解決**の仕方
 - 卒論、進路、就職、・・・
- **スケジューリング**の仕方
 - Plan, do, check
- **研究発表**の仕方
 - 日本語文章、スライド作成、発表、・・・
- **英会話勉強**の仕方
 - マンチェスター大学 客員研究員 1992年～1993年
 - IEEE student branch カウンセラー 2006年から5年間
 - 英語プレゼン大会 2004年から10回実施

MUNAP

トランスピュータ

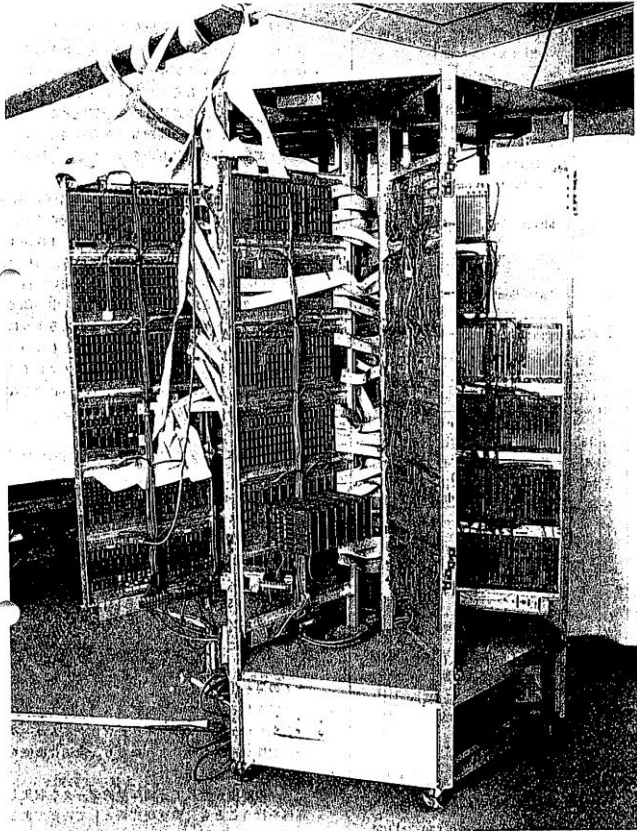


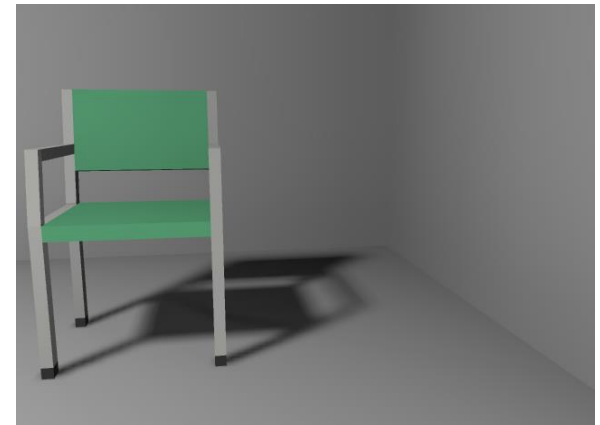
図2 MUNAP概観
Fig. 2 General View of MUNAP

= 6 =



ラジオシティ法 サンプル画像

上嶋 明氏 作成、富士通 AP1000+ 64プロセッサを使用、1997.



入門 SPARTAN-3 Starter Kit

3(20万ゲート), 3E(50万), 3A(70万)



VIRTEX5



Nycto クラスタ: サーバー(8プロセッサ) × 2



おわりに

- 今日のスライドを高性能計算研究室の私のHPにアップしておきます。
- 興味のある人は、ぜひ研究室見学に来て下さい。
- 気力、体力、知力のある人 歓迎！
- 研究室デモ 11月4日(火) 13時～
11月5日(水) 13時～
11月6日(木) 14時40分～